

Kazimierz Trzęsicki<sup>1</sup>

## LOGIC IN FORMAL VERIFICATION OF COMPUTER SYSTEMS. SOME REMARKS.

**Abstract:** Various logics are applied to specification and verification of both hardware and software systems. The problem with finding of proof is the most important disadvantage of proof-theoretical method. The proof-theoretical method presupposes the axiomatization of the logic. Proprieties of a system can also be checked using a model of the system. A model is constructed with the specification language and checked using automatic model checkers. The model checking application presupposes the decidability of the task.

**Keywords:** Logic, Verification, Proof-theoretical Method, Model Checking

## LOGIKA I FORMALNA WERYFIKACJA SYSTEMÓW KOMPUTEROWYCH. KILKA UWAG.

**Streszczenie** Do specyfikacji i weryfikacji zarówno sprzętu jak i programów stosowane są różne logiki. Główną wadą metody teorio-dowodowej weryfikacji jest problem znalezienia dowodu. Zastosowanie tej metody zakłada aksjomatyzację logiki. Własności systemu mogą być sprawdzane za pomocą jego modelu. Model jest zbudowany w języku specyfikacji i sprawdzany automatycznie. Zastosowanie sprawdzania za pomocą modelu zakłada rozstrzygalność zadania. Istnieje wielka różnorodność programów (model checker) do sprawdzania własności za pomocą modeli.

**Słowa kluczowe:** Logika, Weryfikacja, Metoda teorio-dowodowa, Sprawdzanie za pomocą modelu

Praca wspierana przez grant MNiSW nr 3 T11F 01130.

---

<sup>1</sup> University of Białystok